

# MODEL: Mustang-F100-A10

# Intel® Vision Accelerator Design 搭配 Intel® Arria® 10 FPGA

支援 Open Visual Inference & Neural Network Optimization (OpenVINO™) toolkit

# 使用手册



Rev. 1.03 - February 19, 2019



日期	版本	修改項目
February 19, 2019	1.03	新增章節 4.2.3
		修改附錄 B
December 4, 2018	1.02	修改章節 3.3
		更新第4章~第8章
		新增章節 8
		新增附錄 A & 附錄 B
October 30, 2018	1.01	新增第4章~第7章
October 12, 2018	1.00	初次發行





EIntegration Corp.

# 版權聲明

本文件中的內容若有為了要改善文件的可靠性,產品設計和功能而做變更,恕不另行通知。 且本文件包含的資訊並不代表製造商的承諾。

即使客戶被告知可能出現的損害,但是對於因不能使用或無能力使用該產品或說明所產生的直接,間接,特殊,偶然及後續的損害,製造商不承擔任何責任。

本文件包含的所有信息受版權保護。所有版權歸製造商所有。未經製造商書面授權允許,任 何人不得擅自通過機械,電子或其他手段複製此使用手冊。

### 商標

在此提及的所有註冊商標和產品名稱僅供識別之用。商標和/或註冊商標屬於各自的產品。

Page III







# 警告

此類訊息內警示的資訊可能導致產品損壞甚或造成人身傷害。請嚴正看待此類訊息內的警示。



# 小心

遵循此類訊息內的指示,能減少遺失資料甚或損壞產品的可能性。



# 注意

此類訊息包含必要但不一定是緊急的資訊。仔細閱讀裡面的說明或指示能 避免犯錯。





Enntegration Corp.

1	簡介	1
	1.1 概述	2
	1.2 特性	3
	1.3 方塊圖	3
	1.4 連接埠與尺寸	4
	1.5 規格	5
2	包裝配件	6
	2.1 防靜電措施	7
	2.2 開箱注意事項	7
	2.3 配件內容	8
3	硬體安裝	9
	3.1 防靜電措施	10
	3.2 安裝注意事項	11
	3.3 硬體安裝	12
4	軟體安裝 (OPENVINO™ TOOLKIT )	15
	4.1 系统需求	16
	4.2 安裝	16
	4.2.1 經由網站說明安裝	16
	4.2.2 安裝 – 流程 (OpenVINO Toolkit R4)	17
	4.2.2.1 安裝外接軟體相依性項目	18
	4.2.2.2 安裝 OpenVINO™ 的核心元件	18
	4.2.2.3 設定環境變數	19
	4.2.2.4 使用 Arria 10 FPGA Board Support Package 安裝 Intel Vision	
	Accelerator Design	19
	4.2.2.5 驗證設定	20
	4.2.2.6 Intel® DLIA Bitstreams	20
	4.2.2.7 設定搭載 Intel® Arria® 10 FPGA 的 Intel® Vision Accelerator Des	sign
		21

Page V

Integration Corp.

# Mustang-F100-A10

4.2.3 安裝 – 流程 (OpenVINO Toolkit R5)	
4.2.3.1 安裝外接軟體相依性項目	
4.2.3.2 安裝 OpenVINO™ 的核心元件	
4.2.3.3 設定環境變數	
4.2.3.4 設定搭載 Intel® Arria® 10 FPGA 的 Intel® Vision Accelerate	or Design
5 設定與使用 模型最佳化工具	
5.1 設定模型最佳化工具	
5.2 使用模型最佳化工具	
6 建立應用程式範例	
7 使用應用程式範例	
7.1 最佳化 CLASSIFICATION ASYNC SAMPLE	36
7.2 OBJECT DETECTION SSD	30
7.3 其他範例	39
8 IEI MUSTANG VIEWER 工具程式	
8 IEI MUSTANG VIEWER 工具程式 8.1 安裝需求	<b> 40</b>
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li> <li>8.1 安裝需求</li></ul>	<b>40</b> 41 42
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	<b>40</b> 41 42 43
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	<b>40</b> 41 42 43 43
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	<b>40</b> 41 42 43 43 46 47
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	<b>40</b> 41 42 43 43 46 47 <b>48</b>
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	<b>40</b> 41 42 43 43 46 47 <b>48</b> 49
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	40 41 42 43 43 46 47 47 48 49 50
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	40 41 42 43 43 46 47 47 48 49 50 51
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	40 41 42 43 46 47 46 47 48 49 50 51 52
<ul> <li>8 IEI MUSTANG VIEWER 工具程式</li></ul>	40 41 42 43 43 46 47 47 48 49 50 51 52 52 56

Page VI





圖表	1-1:	Mustang-F100-A10	2
圖表	1-2:	方塊圖	3
圖表	1-3:	尺寸 <b>圖 (單位:mm)</b>	4
圖表:	3-1:	移除擋板	.12
圖表:	3-2:	換裝長擋板	.13
圖表:	3-3:	安裝 Mustang-F100-A10	.13
圖表:	3-4:	電源連接器位置	.14
圖表:	3-5:	設定加速卡 ID 號碼	.14





EnIntegration Corp.



# 1.1 概述



圖表 1-1: Mustang-F100-A10

Mustang-F100-A10 是一款深度學習卷積神經網絡加速卡,能以其靈活且可擴充性加速 AI 推理。Mustang-F100-A10 PCIe 卡配備 Intel®Arria®10FPGA,板載 8 GB DDR4 RAM,可 與現有系統配合使用,實現高性能計算,且無需花費大量資金。FPGA 能提供可重編程性, 使開發人員能在不同的應用程序中使用演算法來實現最佳解決方案。 FPGA 中的演算法亦 提供了定量時序來達成低延遲實時計算。此外,與 CPU 或 GPU 相比,FPGA 具有高效率 與低功耗的特性。這些特點讓 Mustang-F100-A10 成為邊緣計算的絕佳選擇。

"Open Visual Inference & Neural Network Optimization (OpenVINO<sup>™</sup>) toolkit" 建基於卷積 神經網絡(CNN),此工具包可擴展 Intel<sup>®</sup> 硬體的工作負載並大大提升性能。 它可以將預 先訓練的深度學習模型(如 Caffe、MXNET、Tensorflow)優化為 IR 二進製文件,然後在 不同種類的 Intel<sup>®</sup>硬體上執行推理引擎,如 CPU、GPU、Intel® Movidius<sup>™</sup> Neural Compute Stick 和 FPGA。

# 1.2 特性

Mustang-F100-A10 的特性包括:

- Intel® Arria® 10 GX1150 FPGA
- 介面: PCle 3.0 x8
- 外觀規格:標準半高、半長、雙寬
- 主動風扇
- 操作溫度:5℃~60℃ (環境溫度)
- 操作濕度:5%~90% 相對溼度
- 功耗:<60W
- 電源:12V 外部電源
- 旋轉開關/ LED 指示燈:識別卡號

# 1.3 方塊圖

**圖表 1-2** 為 Mustang-F100-A10 的方塊圖:



圖表 1-2: 方塊圖



1.4 連接埠與尺寸

下圖顯示加速卡的尺寸與連接埠位置:



圖表 1-3: 尺寸圖 (單位:mm)





# 1.5 規格

Mustang-F100-A10 的規格詳列如下:

規格	Mustang-F100-A10
作業系統	Ubuntu 16.04.3 LTS 64-bit, CentOS 7.4 64-bit (未來可支
	援 Windows® 10 與更多其他的作業系統)
記憶體	板載 8GB DDR4
Mini USB	USB 2.0 mini 連接埠供除錯用
PCle 實體介面	PCI Express x8
	相容 PCI Express Specification V3.0
外部電源接頭	預留 PCle 6-pin 12V 外部電源接頭*
顯示器	七段式卡號顯示器
風扇	雙風扇
功耗	<60 W, 12 V @ 5 A
操作溫度	5°C ~ 60°C
操作濕度	5% ~ 90%
尺寸 (寬×高×深)	169.5 mm x 68.7 mm x 33.7 mm

\*通常標準的 PCIe 插槽可提供 75W 電源;此預留功能可為不同系統設定提供電源需求







2.1 防靜電措施

ዾ 警告:

若不遵循 ESD 預防措施可能會導致 Mustang-F100-A10 的永久性損壞, 甚至造成使用者的人身傷害。

靜電放電 (ESD) 將可能對電子元件產生嚴重的損壞。乾燥的天氣尤其容易引起靜電放電 (ESD)。因此,無論是打開 Mustang-F100-A10 還是接觸電子元件,預防靜電顯得尤為重要,所以請嚴格遵守以下防靜電措施。

- 佩戴防靜電錶帶:佩戴一個簡單的防靜電錶帶可以防止由於靜電放電(ESD)
   而造成主板損害。
- **自我接地**:在使用主板之前,要觸摸一下任何一種接地導電物。在使用主板的
   時候,也要頻繁地觸摸連接到地面的導電物。
- 使用防靜電墊子:當安裝或配置 Mustang-F100-A10 系統和電子元件的時候, 把產品放在防靜電墊子上,這樣可以減少 ESD 對產品的損壞。
- 只接觸 PCB 的邊緣:當使用 PCB 的時候,只能接觸 PCB 的邊緣。

# 2.2 開箱注意事項

打開 Mustang-F100-A10 包裝時,請遵循以下幾點:

- 遵循上述的防靜電措施。
- 確認包裝盒朝上,避免 Mustang-F100-A10 掉出盒子外。
- 確認配件內容所列出的所有配件齊全。



# 2.3 配件内容



如果清單中列出的部分配件遺失,請勿繼續安裝。聯繫您購買 Mustang-F100-A10的 IEI 代理商或經銷商,或直接聯繫 IEI 業務人員。欲 聯繫 IEI 業務人員,請發送郵件至 <u>sales@ieiworld.com</u>。

# Mustang-F100-A10 的包裝內含:

數量	品項	圖片
1	Mustang-F100-A10 人工智慧加速卡	
1	PCle 電源轉換線	
1	長擋板	
1	快速安裝指南	



EnIntegration Corp.





3.1 防靜電措施



若不遵循 ESD 預防措施可能會導致 Mustang-F100-A10 的永久性損壞, 甚至造成使用者的人身傷害。

靜電放電 (ESD) 將可能對電子元件產生嚴重的損壞。乾燥的天氣尤其容易引起靜電放電 (ESD)。因此,無論是打開 Mustang-F100-A10 還是接觸電子元件,預防靜電顯得尤為重要,所以請嚴格遵守以下防靜電措施。

- 佩戴防靜電錶帶:佩戴一個簡單的防靜電錶帶可以防止由於靜電放電(ESD)
   而造成主板損害。
- 自我接地:在使用主板之前,要觸摸一下任何一種接地導電物。在使用主板的
   時候,也要頻繁地觸摸連接到地面的導電物。
- 使用防靜電墊子:當安裝或配置 Mustang-F100-A10 系統和電子元件的時候, 把產品放在防靜電墊子上,這樣可以減少 ESD 對產品的損壞。
- 只接觸 PCB 的邊緣:當使用 PCB 的時候,只能接觸 PCB 的邊緣。



3.2 安裝注意事項



安裝前應閱讀並理解以下安裝注意事項和安裝注意事項,必須嚴格遵守所有 安裝注意事項。如果不遵守這些預防措施,可能會對執行安裝的人造成嚴重 損壞和傷害。



應仔細遵循本手冊中所述的安裝說明,以防止損壞 Mustang-F100-A10、 Mustang-F100-A10 的零組件以及對用戶造成傷害。

在安裝前及安裝期間請注意務必要:

- 閱讀使用手冊:
   使用手冊提供了完整的 Mustang-F100-A10 安裝說明和配置選項。
- 佩戴防靜電(ESD)環:
   ESD 很容易損壞電子元件。 佩戴防靜電環可清除身體上的 ESD,有助於防止
   ESD 造成的損壞。
- 關閉系統:
   安裝 Mustang-F100-A10 時,請確保要連接的系統與所有電源斷開連接,並且
   沒有任何電力輸入系統內。

在安裝前及安裝期間不可以:

- 取下 PCB 板上的任何貼紙。保修驗證需要這些貼紙。
- 在驗證所有電纜和電源連接器是否正確連接之前,使用本產品。
- 允許螺絲與 PCB 電路、連接器引腳或其零件接觸。



# 3.3 硬體安裝

欲正確安裝 Mustang-F100-A10,請遵循以下步驟。

Step 1: 準備電腦。關閉電腦,然後從電源後部拔下電源線。



請務必將要安裝 Mustang-F100-A10 的電腦上的電源與網絡連接斷開, 否則可能會損壞系統或遭受電擊。

### Step 2: 打開電腦的機箱蓋。

Step 3: 找到空的 PCle 插槽並將其對應的擋板移除。Mustang-F100-A10 相容於 PCle x8 和 x16 插槽,且需要兩個併列的插槽空間。把將安裝 Mustang-F100-A10 的 PCle 插槽所對應的兩個擋板移除,並保留擋板螺絲。請見圖表 3-1。

### 半高規格

全高規格





圖表 3-1: 移除擋板

# Step 4: [此步驟只有在安裝全高規格時才需要] 將 Mustang-F100-A10 上的原有的短擋板

換成長擋板。



圖表 3-2: 換裝長擋板

Step 5: 將 Mustang-F100-A10 安裝到電腦內。將 Mustang-F100-A10 與 PCle 插槽對 齊,小心並平穩的壓入插槽內。接著將兩顆螺絲鎖附好,將 Mustang-F100-A10 固定在電腦上。

### 半高規格

全高規格



圖表 3-3: 安裝 Mustang-F100-A10

Step 6: 將電源線連接到 Mustang-F100-A10。 Mustang-F100-A10 需要 12V 5A 直流電源。如果有的話,請使用系統中帶有 6 針連接器的電源線,或使用 4 針轉 6 針的 PCIe 電源轉換線來與 Mustang-F100-A10 的電源連接器連接。



Integration Corp.

圖表 3-4: 電源連接器位置

Step 7: 使用旋轉開關來設定 Mustang-F100-A10 的 ID 號碼。此步驟設定的 ID 號碼將 在開啟電源後顯示在加速卡上的 LED 顯示器上。

> Number LED Rotary Switch

圖表 3-5: 設定加速卡 ID 號碼

Step 8: 如果有需要安裝多片 Mustang-F100-A10 加速卡的話, 請重複 步驟 3~步驟 7。

Step 9: 將機箱上蓋裝回。

Step 10: 連接電源線與所有網路線。將系統開啟。





- Integration Corp.



# (OpenVINO<sup>™</sup> Toolkit )





# 4.1 系統需求

- Linux Ubuntu 16.04.3 LTS 64-bit
- CentOS 7.4 64-bit
- Windows 10 64-bit
- OpenVINO<sup>TM</sup> Toolkit 預裝於 TANK-870AI 內

# 4.2 安裝

# 4.2.1 經由網站說明安裝

拜訪此網站:<u>https://software.intel.com/en-us/openvino-toolkit</u>。點選"Get Started",並在 "Development Environment Installation Guides & Videos"底下選擇你的作業系統。依照說 明內容來完成安裝流程。





### **INSTALLATION & SETUP GUIDES**



Target Device Installation Guides Quick Start Guide for Intel® Programmable Acceleration Card with Intel® Arria® 10 FPGA Model Optimizer Developer Guide

GX

GX

Acceleration Hub for Intel® FPGA Development Kit for Intel® Arria® 10 FPGA

Intel® Movidius™ Neural Compute Stick Quick Start Guide

#### Intel<sup>®</sup> Deep Learning Deployment Toolkit References

Inference Engine Developer Guide Pretrained Models & Algorithms

# 4.2.2 安裝 - 流程 (OpenVINO Toolkit R4)

請下載 OpenVINO toolkit R4 release,務必確認下載有支援 FPGA 的 Linux 版本。

注意:在安裝之前請確認你的 Linux 為正確版本。

cat /proc/version

如果你的 Linux 版本正確,則會看到以下的結果:

Linux version 4.13.0.45-generic (buildd@lgw01-12) (gcc version 5.4.0 20160609 (Ubuntu >>5.4.0-6ubuntu1~16.04.4) ) #32~16.04.2-Ubuntu SMP Thu Jul 20 10:19:48 UTC 2017

如果你的 Linux 版本不是 4.13.0.45,则請執行以下兩個指令以獲取特定的 Linux 版本:

sudo apt-get install linux-image-extra-4.13.0-45-generic

sudo apt-get install linux-headers-4.13.0-45-generic

# 4.2.2.1 安裝外接軟體相依性項目

 請進入儲存所下載的 OpenVINO toolkit 的目錄 預設的目錄是 ~/Downloads 預設的檔案名稱是 l\_openvino\_toolkit\_fpga\_p\_<version>.tgz.

若你使用不同的目錄或是已更改檔案名稱,請根據你的命名規則更改下列的說明。 cd ~/Downloads

 解壓縮.tgz 檔案: tar -xf l\_openvino\_toolkit\_fpga\_p\_<version>.tgz

會建立一個名為 I\_openvino\_toolkit\_fpga\_p\_<version> 的目錄

- 3. 進入 I\_openvino\_toolkit\_fpga\_p\_<version> 目錄: cd l\_openvino\_toolkit\_fpga\_p\_<version>
- 執行名為 install\_cv\_sdk\_dependencies.sh 的指令:
   ./install\_cv\_sdk\_dependencies.sh

此指令會下載並安裝外接軟體相依性項目。 繼續依照下章節所述來安裝 OpenVINO™ 的核心元件。

## 4.2.2.2 安裝 OpenVINO™ 的核心元件

- 1. 選擇是否安裝 GUI。這兩個選項之間只有視覺方面不同。請選擇其一:
  - 若要使用 GUI 安裝精靈來安裝:
  - ./install\_GUI.sh
  - 若要使用指令安裝:
  - ./install.sh
- 按照螢幕上的說明操作。
   基本安裝完成。繼續依照下章節所述來設定環境變數。

根據安裝方式的不同,OpenVINO™ 會被安裝在其中一個位置:

若以 root 身分安裝,則軟體會被安裝在:
 /opt/intel/computer\_vision\_sdk\_fpga\_<VERSION>/

若以一般使用者身分安裝,則軟體會被安裝在:
 /home/<USERNAME>/intel/computer\_vision\_sdk\_fpga\_<VERSION>/

Integration Corp.

Page 19

### 4.2.2.3 設定環境變數

執行指令來設定在此階段操作 OpenVINO™ toolkit 所需的環境變數:

source /opt/intel/computer\_vision\_sdk\_2018.3.<version>/bin/setupvars.sh

注意: 關閉 shell 時將刪除 OpenVINO™ 環境變數。你亦可選擇一個方法來永久設定變數。

繼續依照下章節所述來使用 Intel® Arria® 10 FPG 初始化 Intel® Vision Accelerator Design

# 4.2.2.4 使用 Arria 10 FPGA Board Support Package安裝 Intel Vision Accelerator Design

你所下載的 OpenVINO® toolkit 版本內含 Intel FPGA RTE for OpenCL Pro Edition 軟體。

專供 Intel Vision Accelerator Design 且內含 Arria 10 FPGA 的 Board Support Package 可 從 <BSP\_package> 取得。 請由 IEI 網站下載此工具包。<BSP\_package> => hddlf\_1150\_sg1.tgz

下載流程:

- 1. 點選 <u>http://download.ieiworld.com/</u>
- 2. 搜尋 Mustang-F100
- 3. 下載 Mustang-F100-A10 Driver

解壓縮 bsp package:

1.tar -xvf hddlf\_1150\_sg1.tgz

將 BSP 檔案由 DOS 轉換成 UNIX:

- 1. apt-get install dos2unix
- 2. chmod +x <BSP\_package>
- 3. find <BSP\_package> -type f -print0 | xargs -0 dos2unix

透過 BSP 可執行文件製作指令檔:

chmod +x /opt/altera/aocl-pro-rte/aclrte-linux64/board/<BSP\_package>/linux64/libexec/\*

環境設定如下:

- 1. source /opt/intel/computer\_vision\_sdk\_2018.4.420/bin/setupvars.sh
- 使用以下指令設定 AOCL\_BOARD\_PACKAGE\_ROOT 環境變數: export AOCL\_BOARD\_PACKAGE\_ROOT=\$HOME/<BSP\_package>
- 執行指令來暫時設定 Intel OpenCL 運行時的環境變數:
   source /opt/altera/aocl-pro-rte/aclrte-linux64/init\_opencl.sh
- 4. 安裝搭載 Intel® Arria® 10 FPGA 驅動程式的 Intel® Vision Accelerator Design: aocl install

### 4.2.2.5 驗證設定

Integration Corp.

檢視系統中的 PCle 設備:
 lspci | grep -i Altera

成功時會出現類似以下的回應: 01:00.0 Processing accelerators: Altera Corporation Device 2494 (rev 01)

- 完成板卡的設定後,在搭載 Intel® Arria® 10 FPGA 的 Intel® Vision Accelerator Design 機器上的指令視窗內,執行 AOCL 診斷指令: aocl diagnose
- 3. 若設定成功,則會回覆 "Diagnostic PASSED"。

### 4.2.2.6 Intel® DLIA Bitstreams

在設計位元串流(bitstreams)前,你必須設定搭載 Intel® Arria® 10 FPGA 的 Intel® Vision Accelerator Design,並確認有正確的設定板卡與環境。

搭載 Intel® Arria® 10 FPGA 的 Intel® Vision Accelerator Design 位元串流設計範例可從所 安裝的 OpenVINO™ toolkit 取得。

下表列出所有可取得的位元串流,並包含所支援的相關拓樸。

位元串流
FP11
4-0_PL1_FP11_Generic_Alexnet.aocx
4-0_PL1_FP11_GoogleNet.aocx

4-0_PL1_FP11_SqueezeNet.aocx
4-0_PL1_FP11_MobileNet_ResNet_VGG_Clamp.aocx
4-0_PL1_FP11_TinyYolo_SSD300.aocx
4-0_PL1_FP11_ELU.aocx
FP16
4-0_PL1_FP16_Generic_Alexnet_GoogleNet_VGG.aocx
4-0_PL1_FP16_ResNet_MobileNet_SqueezeNet.aocx
4-0_PL1_FP16_TinyYolo_SSD300.aocx
4-0_PL1_FP16_ELU.aocx
4-0_PL1_FP16_Clamp.aocx

表格 4-1:: 位元串流與拓樸

# 4.2.2.7 設定搭載 Intel® Arria® 10 FPGA的Intel® Vision Accelerator Design

此步驟使用 Intel FPGA RTE for OpenCL 來以 FP11 或 FP16 設定 AOCX 檔案:

aocl program acl0 \$<BITSTREAM\_DATA\_TYPE>.aocx





# 4.2.3 安裝 - 流程 (OpenVINO Toolkit R5)

請下載 OpenVINO toolkit R5 release,務必確認下載有支援 FPGA 的 Linux 版本。

注意:在安裝之前請確認你的 Linux 為正確版本。

cat /proc/version

請確認你所使用的 Linux 版本為 4.14 或以上。

例如:

• 4.15.0-38-Generic

安裝 4.15.0-38 版本

- apt-get install linux-image-4.15.0-38-generic
- apt-get install linux-headers-4.15.0-38-generic
- apt-get install linux-modules-extra-4.15.0-38-generic
- apt-get remove linux-modules-extra-4.15.0-38-generic

## 4.2.3.1 安裝外接軟體相依性項目

 請進入儲存所下載的 Quartus Pro Programmer 17.1.1 的目錄 cd /home/<user>/Downloads.

### 2. 執行 Quartus Pro Programmer 設定檔:

sudo chmod +x QuartusProProgrammerSetup-17.1.2.304-linux.run sudo ./QuartusProProgrammerSetup-17.1.2.304-linux.run

安裝目錄: /opt/altera/intelFPGA\_pro/17.1



El Integration Corp.

## Mustang-F100-A10

😣 😑 Installing Quartus Prime Pro Edition Programm	er and Tools 17.1.2.304
Installation Directory	(intel)
Specify the directory where Quartus Prime Pro Edition Program	nmer and Tools 17.1.2.304 will be installed
Installation Directory /opt/altera/intelFPGA_pro/17.1	
InstallBuilder	<pre></pre>

# 4.2.3.2 安裝 OpenVINO™ 的核心元件

1. 請進入儲存所下載的 OpenVINO toolkit 的目錄。預設的目錄是 ~/Downloads;預設的 檔案名稱是

l\_openvino\_toolkit\_fpga\_p\_<version>.tgz. 若你使用不同的目錄或是已更改檔案名稱,請根據你的命名規則更改下列的說明。 cd ~/Downloads

2. 解壓縮.tgz 檔案: tar -xf l\_openvino\_toolkit\_fpga\_p\_<version>.tgz 會建立一個名為 l\_openvino\_toolkit\_fpga\_p\_<version> 的目錄。

3.進入 l\_openvino\_toolkit\_fpga\_p\_<version> 目錄: cd l\_openvino\_toolkit\_fpga\_p\_<version>

- 4. 執行名為 install\_cv\_sdk\_dependencies.sh 的指令: sudo ./install\_cv\_sdk\_dependencies.sh 此指令會下載並安裝外接軟體相依性項目。
- 選擇是否安裝 GUI。這兩個選項之間只有視覺方面不同。請選擇其一。
   若要使用 GUI 安裝精靈來安裝:
   sudo ./install\_GUI.sh
- 按照螢幕上的說明操作。
   基本安裝完成。繼續依照下章節所述來設定環境變數。

## 4.2.3.3 設定環境變數

- 檢視系統中的 PCle 設備:
   lspci | grep -i Altera
   成功時會出現類似以下的回應:
   01:00.0 Processing accelerators: Altera Corporation Device 2494 (rev 01)
- 從 <u>Intel Resource Center</u>下載 fpga\_support\_files.tgz,需要此檔案來確保
   FPGA 板卡與 OpenVino 可正常運作。
- **3**. 進入所下載的檔案的儲存位置並解壓縮該檔: tar -xvzf fpga\_support\_files.tgz
- 4. 進入 fpga\_support\_files 目錄。
- 5. 轉成超級使用者(superuser)身分: sudo su
- 6. 將目錄改成 fpga\_support\_files:
   cd /home/<user>/Downloads/fpga\_support\_files/
- 7.從 fpga\_support\_files 中找到 setup\_env.sh 檔來設定環境變數。 source setup\_env.sh

8. 執行 fpga\_dependencies 檔,讓 OpenCL 可支援 Ubuntu 及最新的核心版本:

```
./install_openvino_fpga_dependencies.sh
```

選擇 3) Intel Vision Accelerator Design with Intel Altera 10 FPGA (IEI Mustang-F100-A10).



注意:關閉 shell 時將刪除 OpenVINO™ 環境變數。你亦可選擇一個方法來永久設定變 數。

9. 檢查主系統是否有認到搭載 Intel® Arria® 10 FPGA 的 Intel® Vision Accelerator Design 板卡。確認可偵測到 PCIe 卡:
 lspci | grep -i Altera

回應將類似於:

01:00.0 Processing accelerators: Altera Corporation Device 2494 (rev

執行以下指令:
 aocl install

# 11. 執行以下指令:

aocl diagnose

在看到 DIAGNOSTIC\_PASSED 後再開始進行下一步驟。 此步驟使用 Intel FPGA RTE for OpenCL 來以 FP11 或 FP16 設定 AOCX 檔案: aocl program acl0 \$<BITSTREAM\_DATA\_TYPE>.aocx



位元串流
FP11
5-0_PL1_FP11_Alexnet_GoogleNet.aocx
5-0_PL1_FP11_ELU.aocx
5-0_PL1_FP11_Generic.aocx
5-0_PL1_FP11_MobileNet_Clamp.aocx
5-0_PL1_FP11_ResNet.aocx
5-0_PL1_FP11_RMNet.aocx
5-0_PL1_FP11_SqueezeNet.aocx
5-0_PL1_FP11_TinyYolo_SSD300.aocx
5-0_PL1_FP11_VGG.aocx
FP16
5-0_PL1_FP16_AlexNet_GoogleNet_SqueezeNet.aocx
5-0_PL1_FP16_MobileNet_Clamp.aocx

表格 4-2: OpenVINO R5 位元串流與拓樸

# 4.2.3.4 設定搭載 Intel® Arria® 10 FPGA的Intel® Vision Accelerator Design

此步驟使用 Intel FPGA RTE for OpenCL 來以 FP11 或 FP16 位元串流設定 AOCX 檔案:

aocl program acl0 \$<BITSTREAM\_DATA\_TYPE>.aocx

If the below error message appear "aocl program: Program failed.", that means you may have bitstreams versions compatible issue and have to update the bitstreams via FPGA download cable.





此步驟使用 FPGA 下載連接線來以 FP11 或 FP16 位元串流設定 AOCX 檔案:

- 1. FPGA 下載連接線接到 USB 連接器與 FPGA 連接器
- 2. 輸入以下指令來更新 FPGA aocx:

aocl flash acl0 \$<BITSTREAM\_DATA\_TYPE>.aocx

Page 27

# iEi.Integration Corp.

# Mustang-F100-A10



Charles in



El Integration Corp.

# 設定與使用 模型最佳化工具

# 5.1 設定模型最佳化工具

你必需為用來訓練模型的框架設定模型最佳化工具(Model Optimizer)。請依照本章節所述內 容來使用 script 檔設定 Caffe 框架的模型最佳化工具。

**注意**:若不想依照下列步驟,你亦可選擇手動設定模型最佳化工具。欲手動設定請見 <u>Model</u> <u>Optimizer Developer Guide</u> 的 Custom Layer 部分。

- 進入模型最佳化工具先決條件目錄: cd /deployment\_tools/model\_optimizer/install\_prerequisites
- 若要執行 Caffe 模型框架的 script,则: sudo ./install\_prerequisites\_caffe.sh
- 若要執行 MXNet 模型框架的 script,則: sudo ./install\_prerequisites\_mxnet.sh
- 若要執行 TensorFlow 模型框架的 script,则: sudo ./install\_prerequisites\_tf.sh
- 5. 開放式開發人員社群建立了一些最受歡迎的公共模型,可在 Model Downloader 上取得。 在運行 downloader.py 檔案之前,請確認有 sudo pip install yaml。在 OpenVINO toolkit 檔案夾中找到模型下載器: cd /opt/intel/computer\_vision\_sdk\_fpga\_<version>/deployment\_tools /model\_downloader/ ./downloader.py

# 5.2 使用模型最佳化工具

在使用推理引擎 API 之前,必須使用模型最佳化工具從預先訓練的 Caffe 模型中建立 Intermediate Representation (IR)檔案。 在這個轉換中, Model Optimizer Python script 會 轉換 prototxt 和 caffemodel 檔案以產出描述網絡的.xml 和.bin 拓撲文件。

會產出以下兩個檔案:

- 拓樸檔 描述網路拓樸的.xml 檔案
- 訓練過的資料檔 包含權重和偏差二進制數據的.bin 檔案

注意: 取得有關模型最佳化工具的指令參數和選項的相關資訊:

python3 mo\_caffe.py --help.

 暫時設定環境變數 source /opt/intel/computer\_vision\_sdk\_<VERSION>/bin/setupvars.sh

注意:關閉 shell 時將刪除 OpenVINO™ 環境變數。你亦可選擇一個方法來永久設定變數。

- 2. 取得 AlexNet 或 ResNet 拓樸的 mean file, 此檔可提供最佳化的表現。
  - AlexNet mean file 位置: <u>http://dl.caffe.berkeleyvision.org/caffe\_ilsvrc12.tar.gz</u>
  - ResNet mean file 位置:

https://github.com/ry/tensorflow-resnet/tree/master/data

3. 進入 Model Optimizer 目錄:

cd

```
/opt/intel/computer_vision_sdk_fpga_<VERSION>/deployment_tools
/model_optimizer
```

Page 31

 在具有所需的資料類型的 caffemodel 與 prototxt 檔案中執行 mo\_caffe.py 。在產出 IR 檔時, FP11 位元串流使用 FP16 資料類型:

-- AlexNet 或 ResNet 時:

python3 mo\_caffe.py --input\_model \$<CAFFEMODEL> --input\_proto
\$<PROTOTXT\_FILE> -n \$<NAME\_OUT> --data\_type \$<DATA\_TYPE> --scale
1 --mean\_file \$<MEAN\_FILE> --output\_dir \$<XML\_PATH>

-- GoogleNet, SqueezeNet, VGG16 或 SSD300 拓樸時,提供平均值以達最佳效能:

python3 mo\_caffe.py --input\_model \$<CAFFEMODEL> --input\_proto
\$<PROTOTXT\_FILE> -n \$<NAME\_OUT> --data\_type \$<DATA\_TYPE> --scale
1 --mean\_value [104,117,123] --output\_dir \$<XML\_PATH>

-- MobileNet v1 與 MobileNet v2 拓樸時,提供比例因素與平均值以達最佳效能:

python3 mo\_caffe.py --input\_model \$<CAFFEMODEL> --input\_proto
\$<PROTOTXT\_FILE> -n \$<NAME\_OUT> --data\_type \$<DATA\_TYPE> --scale
58.824 --mean\_value [104,117,123] --output\_dir \$<XML\_PATH>

### 注意:

Integration Corp.

關於模型最佳化工具轉換 Caffe 模型相關資訊,請參考 Model Optimizer to Convert Caffe\* Models

關於模型最佳化工具轉換 MXNet 模型相關資訊,請參考 Model Optimizer to Convert MXNet\* Models

關於模型最佳化工具轉換 TensorFlow 模型相關資訊,請參考 Model Optimizer to Convert <u>TensorFlow\* Models</u>



El Integration Corp.

# 建立應用程式範例

此章節將使用 cmake 來建立應用程式範例

 暫時性設定環境變數: source

/opt/intel/computer\_vision\_sdk\_<VERSION>/bin/setupvars.sh

注意:關閉 shell 時將刪除 OpenVINO™ 環境變數。你亦可選擇一個方法來永久設定 變數。

2. 進入推理引擎範例目錄:

```
cd
/opt/intel/computer_vision_sdk_fpga_<VERSION>/deployment_tools
/inference_engine/samples/
```

- 建立一個 build 目錄: mkdir build
- 4. 進入 Inference Engine samples build 目錄:

```
cd
/opt/intel/computer_vision_sdk_fpga_<VERSION>/deployment_tools
/inference_engine/samples/build/
```

5. 執行 cmake 來產出沒有除錯資訊的 Makefiles:

```
sudo cmake -DCMAKE_BUILD_TYPE=Release
/opt/intel/computer_vision_sdk_fpga_<version>/deployment_tools
/inference_engine/samples/
```

 建立應用程式範例: make

make install

7. 確認 build 有存在,若此目錄存在,則表示建立成功:

```
cd
/opt/intel/computer_vision_sdk_fpga_<VERSION>/deployment_tools
/inference_engine/samples/build/intel64/Release/
```

該目錄的存在表示你已成功完成這部分步驟。



Enntegration Corp.

# 使用應用程式範例





請務必先完成本文件上一章所描述的步驟才能接續進行使用應用程式範例 的流程。

欲獲得應用程式範例的指令參數和選項,請輸入:

python3 mo\_caffe.py -help

# 7.1 最佳化classification\_async\_Sample

■ AlexNet 拓撲範例

```
cd
/opt/intel/computer_vision_sdk_fpga_<OPENVINO_VERSION>/deploym
ent tools/inference engine/samples/build/intel64/Release/
export CL_CONTEXT_COMPILER_MODE_INTELFPGA=3
sudo cp
/opt/intel/computer_vision_sdk_fpga_<OPENVINO_VERSION>/deploym
ent_tools/demo/squeezenet1.1.labels $<XML_PATH>
mv squeezenet1.1.labels alexnet_fp16.labels
./classification_sample_async -m $<XML_PATH>/alexnet_fp16.xml -i
$<IMAGE_PATH> -d HETERO:FPGA,CPU -ni $<ITERATION_NUMBER> -nireq
2
批量大小為 96 的 AlexNet 拓樸範例
cd
/opt/intel/computer_vision_sdk_fpga_<OPENVINO_VERSION>/deploym
ent_tools/inference_engine/samples/build/intel64/Release/
export CL_CONTEXT_COMPILER_MODE_INTELFPGA=3
sudo cp
/opt/intel/computer_vision_sdk_fpga_<OPENVINO_VERSION>/deploym
ent_tools/demo/squeezenet1.1.labels $<XML_PATH>
mv squeezenet1.1.labels alexnet_fp16.labels
./classification_sample_async -m $<XML_PATH>/alexnet_fp16.xml
```

`for i in {1..96}; do echo -n ``<IMAGE\_PATH>";done` -d
HETERO:FPGA,CPU -ni \$<ITERATION\_NUMBER> -nireq 2

此產出範例中 classification\_async 為 FP16 資料類型;對 AlexNet 拓樸, 1000 iterations 與 nireq 設為 2。

[INFO] InferenceEngine:

API version ..... 1.4

Build ..... 16050

[INFO] Parsing input parameters

[INFO] Parsing input parameters

[ INFO ] Files were added: 1

[INFO]

/opt/intel/computer\_vision\_sdk\_2018.4.420/deployment\_tools/demo/car.png

[INFO] Loading plugin

API version ..... 1.4

Build ..... heteroPlugin

Description ...... heteroPlugin

[INFO] Loading network files

[INFO] Preparing input blobs

[WARNING] Image is resized from (787, 259) to (227, 227)

[ INFO ] Batch size is 1

[INFO] Preparing output blobs

[INFO] Loading model to the plugin

[INFO] Start inference (100 iterations)

[INFO] Processing output blobs

Top 10 results:

Image /opt/intel/computer\_vision\_sdk\_2018.4.420/deployment\_tools/demo/car.png

479 0.7527428 label car wheel 511 0.0757053 label convertible

Page 37

# Integration Corp.

## Mustang-F100-A10

436 0.0745316 label beach wagon, station wagon, wagon, estate car, beach waggon, station waggon, waggon 817 0.0466407 label sports car, sport car 656 0.0310694 label minivan 661 0.0056141 label Model T 581 0.0031988 label grille, radiator grille 468 0.0030763 label cab, hack, taxi, taxicab 717 0.0023221 label pickup, pickup truck 627 0.0016857 label limousine, limo

Top 10 results:

Image /opt/intel/computer\_vision\_sdk\_2018.4.420/deployment\_tools/demo/car.png

479 0.7527428 label car wheel
511 0.0757053 label convertible
436 0.0745316 label beach wagon, station wagon, wagon, estate car, beach waggon,
station waggon, waggon
817 0.0466407 label sports car, sport car
656 0.0310694 label minivan
661 0.0056141 label Model T
581 0.0031988 label grille, radiator grille
468 0.0030763 label cab, hack, taxi, taxicab
717 0.0023221 label pickup, pickup truck
627 0.0016857 label limousine, limo

total inference time: 1048.9667654

Throughput: 95.3319050 FPS

[ INFO ] Execution successful



# 7.2 object\_detection\_ssd

SSD300 拓樸:

cd

/opt/intel/computer\_vision\_sdk\_fpga\_<VERSION>/deployment\_tools
/inference\_engine/samples/build/intel64/Release/

export CL\_CONTEXT\_COMPILER\_MODE\_INTELFPGA=3

./object\_detection\_sample\_ssd -m \$<XML\_PATH> -i \$<IMAGE\_PATH> -d
HETERO:FPGA,CPU -i
\$<OPENVINO\_INSTALLATION>/deployment\_tools/inference\_engine/sam
ples/build/intel64/Release/lib/libcpu\_extension.so

# 7.3 其他範例

還有其他應用程式範例也可在採用 Intel® Arria® 10FPGA 的 Intel® Vision Accelerator Design 上執行。 有關如何在 OpenVINO™ toolkit 中執行範例的相關資訊,請參閱 Inference Engine Sample documentation

想了解更多有關可用的預訓練模型,請參閱 Intel Pre-trained Models.

應用程式範例	所使用的模型
classification_sample	Model downloader - AlexNet
classification_sample_async	Model downloader - AlexNet
hello_autoresize_classification	Model downloader - AlexNet
hello_request_classification	Model downloader - AlexNet
interactive_face_detection_sample	face-detection-retail-0004
	age-gender-recognition-retail-0013
	head-pose-estimation-adas-0001
security_barrier_camera_sample	vehicle-license-plate-detection-barrier-0007
	vehicle-attributes-recognition-barrier-0010
	license-plate-recognition-barrier-0001
object_detection_demo	faster_rcnn_vgg16
object_detection_sample_ssd	person-detection-retail-0013
object_detection_demo_ssd_async	person-detection-retail-0014
validation_app	Model downloader - AlexNet
segmentation_demo	fcn8_FP16
multi-channel-demo	face-detection-retail-0004
benchmark_app	person-vehicle-bike-detection-crossroad-0078

表格 7-1: 可在採用 Intel® Arria® 10FPGA 的 Intel® Vision Accelerator Design 上執 行的範例







# **IEI Mustang Viewer**



# 8.1 安裝需求

### 硬體需求:

- Mustang-F100-A10 加速卡
- 有搭載 PCle x8 或以上的插槽的個人電腦
- USB 轉 Micro USB 連接線

流程:

- 1. 將電腦關機
- 2. 將 Mustang-F100-A10 安裝到 PCle 3.0 x8 (或以上) 插槽内
- 3. 將 USB 連接線上的 USB 接頭與電腦連接,將另一頭的 Micro USB 接頭與 Mustang-F100-A10 連接
- 4. 將電腦開機

### 軟體需求:

- OS: Ubuntu 16.04.03 搭載 4.15.0.38 核心版本
- iEi\_Mustang\_Viewer\_F100: 是一個工具程式,使用 USB HID 介面將數據從 Mustang-F100-A10(例如 FPGA 溫度)傳輸到 PC,用於監控硬體狀態

流程:

- 1. 取得壓縮檔 iEi\_Mustang\_Viewer\_F100\_V1.0.0.xxxxx.yyyyymmdd.tar.gz
- 2. 解壓縮該檔。開啟終端機視窗,並進入到該解壓縮檔的目錄。
- 使用以下指令來開啟該工具程式: sudo ./iEi\_Mustang\_Viewer\_F100

lawrence@lawrence-System-Product-Name: ~/Downloads/IEi\_Mustang\_Viewer\_F100
.awrence@lawrence-System-Product-Name:~/Downloads/IEi\_Mustang\_Viewer\_F100\$ sudo ./IEi\_Mustang\_Viewer\_F100



# 8.2 設備資訊

Integration Corp.

開啟 IEI Mustang Viewer 後會出現以下畫面。 設備資訊部分提供 Mustang-F100-A10 的相 關資訊,包括:

- Vendor: Mustang-F100-A10 的製造商
- Product: 所安裝的加速卡型號
- Firmware\_Version: Mustang-F100-A10 的韌體版本
- Product\_ID: Mustang-F100-A10 的產品號; 此產品號對應於型號
- SN: Mustang-F100-A10 的產品序號

Device Information	Thermal Monitor	Status
/ender: IEI Integration Corp. Product:Mustang_E100_410	FPGA Temp. (C)	0
irmware_Version=1.0.2.0	Power SOC Temp.	0
N=W123456789	Fan Speed (RPM)	0
Diagnose Result	Fan PWM (%)	0
	Led Indication	Status
	Power Condition	Status
	Start	
	Stop	
	Save to Log	

# 8.3 診斷

使用者可按下 IEI Mustang Viewer 上的"Start"按鈕開始診斷 Mustang-F100-A10。 此應 用程式約每秒進行更新並顯示結果。

- FPGA\_protection\_Alert\_temp: 觸發 FPGA 警報的溫度值
- FPGA\_protection\_ShutDown\_temp: 觸發 FPGA 關閉的溫度值
- FPGA\_Diode\_Temperature: 目前 FPGA 的工作温度
- EM2280\_protection\_Alert\_temp: 觸發 EM2280 警報的溫度值
- EM2280\_protection\_Shutdown\_temp: 觸發 EM2280 關閉的溫度值
- EM2280\_Power\_Train\_Temp: 目前 EM2280 Power SOC 的工作溫度
- EM2280\_VIN: EM2280 Power SOC 的輸入電壓
- EM2280\_VOUT: EM2280 Power SOC 的輸出電壓
- EM2280\_IOUT: EM2280 Power SOC 的輸出電流
- EM2280\_Controller\_Temp: 目前 EM2280 Power SOC 控制器的工作溫度
- EM2130\_protection\_Alert\_temp: 觸發 EM2130 警報的溫度值
- EM2130\_protection\_Shutdown\_temp: 觸發 EM2130 關閉的溫度值
- EM2130\_VIN: EM2130 Power SOC 的輸入電壓
- EM2130\_VOUT: EM2130 Power SOC 的輸出電壓
- EM2130\_IOUT: EM2130 Power SOC 的輸出電流
- EM2130\_Temp: 目前 EM2280 Power SOC 的工作温度
- Fan\_PWM: 目前風扇的 PWM 值
- Fan\_Speed\_RPM: 風扇轉速 RPM 值
- Card\_ID: 卡號值;卡號由卡上的 DIP 開闢調整
- LED\_Status\_PowerLed: LED 電源狀態;正常狀態下的值為1
- POWER\_CONDITION\_VTT\_0V6: VTT 電源狀態;它在正常狀態下顯示 "Good"
- POWER\_CONDITION\_VCC\_12V: VCC 12V 電源狀態;它在正常狀態下顯示 "Good"
- POWER\_CONDITION\_VCC\_05V: VCC 0.5V 電源狀態;它在正常狀態下顯示 "Good"
- POWER\_CONDITION\_VCC\_3V3: VCC 3.3V 電源狀態;它在正常狀態下顯示 "Good"



- POWER\_CONDITION\_FPGA\_CORE\_0V9: FPGA Core 電源狀態;它在正常 狀態下顯示 "Good"
- POWER\_CONDITION\_VCCT\_1V03: VCCT 1.03V 電源狀態;它在正常狀態下 顯示 "Good"
- POWER\_CONDITION\_VCCH\_GXB\_1V8: VCCH GXB 1.8V VTT 電源狀態;
   它在正常狀態下顯示 "Good"
- POWER\_CONDITION\_VCC\_1V8: VCC 1.8V 電源狀態;它在正常狀態下顯示 "Good"
- POWER\_CONDITION\_VDDQ\_1V2: VDDQ 1.2V 電源狀態;它在正常狀態下 顯示 "Good"

Device Information	Thermal Monitor	Status
/ender: IEI Integration Corp.	FPGA Temp. (C)	53
Firmware_Version=1.0.2.0	Power SOC Temp.	46.37
Froduct_ID=0x516110 SN=W123456789	Fan Speed (RPM)	5278
Diagnose Result	Fan PWM (%)	69
PGA_protection_shutDown_temp=110 PGA_Diode Temperature=53	Led Indication	Status
M2280_protection_Alert_temp=110.00 M2280_protection_Shutdown_temp=115.00	Power Condition	
M2280_VIN=11.76 M2280_VOUT=0.95 M2280_IOUT=14.78 M2280_Controller_Temp=47.25 M2130_protection_Alert_temp=110.00 M2130_protection_Shutdown_temp=115.00 M2130_VIN=11.71 M2130_VOUT=3.29 M2130_IOUT=4.22 M2130_IOUT=4.22 M2130_Temp=52.75 Fan_PWM=69 Fan_Speed_RPM=5278 Card_ID=0 LED_Status_PowerLed=1 POWER_CONDITION_VTT_0V6=Good POWER_CONDITION_VCC_12V=Good POWER_CONDITION_VCC_3V3=Good POWER_CONDITION_VCCT_1V03=Good POWER_CONDITION_VCCT_1V03=Good POWER_CONDITION_VCCT_1V03=Good POWER_CONDITION_VCCC_1V8=Good POWER_CONDITION_VCCC_1V8=Good POWER_CONDITION_VCC_1V8=Good POWER_CONDITION_VCC_1V2=Good POWER_CONDITION_VCC_1V2=Good POWER_CONDITION_VCC_1V8=Good POWER_CONDITION_VCC_1V8=Good POWER_CONDITION_VCD_1V2=Good	Start Stop Save to Log	

Page 44

Integration Corp.

iEi Mustang Viewer E100 V1 0 0 20181120

某些診斷結果會同時顯示在視窗右邊的表格內。

<b>Thermal Monitor</b>	Status
FPGA Temp. (C)	53
Power SOC Temp.	46.37
Fan Speed (RPM)	5278
Fan PWM (%)	69
Led Indication	Status
Power Condition	

### 溫度監控

- FPGA Temp: 顯示 FPGA\_Diode\_Temperature (FPGA 的目前工作溫度)。 背 景顏色代表不同的狀態:
  - 綠色:正常
  - 黃色: 超過警報溫度
  - 紅色: 超過關閉溫度
- Power Soc Temp: 顯示 EM2280Parameter\_Power\_Train\_Temp。背景顏色代表不同的狀態:
  - 綠色:正常
  - 黃色: 超過警報溫度
  - 紅色: 超過關閉溫度
- Fan\_Speed (RPM): 風扇轉速 RPM 值
- Fan\_PWM: 目前風扇轉速 RPM 值

### LED 指示燈

- Power Condition: 顯示電源狀態 LED (LED\_Status\_PowerLed).
  - 藍色:正常
  - 灰色:不正常

注意: 若欲停止診斷加速卡,請按 IEI Mustang Viewer 上的 Stop 按鈕。

### Page 45

# 8.4 儲存記錄檔

Integration Corp.

當程式沒有在更新資訊時(在停止模式下),設備資訊和診斷結果可以儲存為記錄檔。若欲 儲存記錄檔,請按 "Save to Log"按鈕,接著將出現 "Save File" 視窗。 選擇目錄,輸 入檔案名稱,然後按 "Save" 按鈕儲存檔案。

😣 🗊 Salva	il File			
Look in:	/home/lawrence/Downloads		- 0 0 0	🙈 🗉 🔳
Computer	Name iEi_Mustang_Viewer_F100 IntelJP_Demo linuxdeployqt	* Size	Type Date M Folder 20 Nov Folder 15 Nov Folder 20 Nov	todified /:32:24 /:23:53 /:36:00
File <u>n</u> ame:	Log			<u>S</u> ave
Files of type:	File di Testo (*.txt)		•	X Cancel

# 8.5 問題排除

本節將提供當看到"Open Device Failed" 視窗(如下所示)時的問題排除建議。



"Open Mustang-F100 HID device failed" 問題可能是由以下原因造成的:

**1**. 使用 "./iEi\_Mustang\_Viewer\_F100" 指令在未解壓縮的檔案夾中打開程式(權限不足)

2. 使用滑鼠點擊 iEi\_Mustang\_Viewer\_F100 來打開程式(權限不足)

3. 未將 USB-microUSB 線連接到 PC 或加速卡

如何解決這個問題:

- 1. 打開終端機視窗
- 2. 進入未解壓縮的檔案夾
- 使用以下指令打開程式
   sudo ./iEi\_Mustang\_Viewer\_F100







# A.1 加速卡上的LED指示燈與其作用

使用者可藉由檢視加速卡上的 LED 指示燈來排除問題。



LED 1: 綠燈表示啟動後的電源狀態良好

LED 2: 綠燈表示 FPGA 設定已完成

Page 49







# **B.1** 硬體需求

若未檢測到 PCIe 且無法使用 lspci 和 aocl 進行診斷,或無法使用 aocl program acl0 <.aocx> 指令更新位元串流,則可使用系統回復流程來重新設定該板卡。所需的硬體設備包括:

Integration Corp.

注意:如果您的 OpenVINO toolkit 版本與 Mustang-F100-A10 卡的位元串流不相容,則使用者必須執行 FPGA programmer kit 才能更新 FPGA 位元串流。

說明	圖片
FPGA programmer kit 內容包括: - Intel FPGA 下載連接線 - USB 連接線 - USB Blaster	
<b>步驟 1</b> - 將 Intel FPGA 下載連接線接到 Mustang-F100-A10 FPGA 接頭	
<b>步驟 2</b> - 將 USB 連接線與主 PC 上的 USB 接□連接	

# B.2 系統回復步驟

**太** 注意:

此次釋出並不支援 boardtest\_2ddr base.sof 和 boardtest\_2ddr\_top.aocx。 詳細資訊請見 README 檔案

### Step 1: 下載並安裝 Intel® Quartus® Prime Pro Edition Programmer, version 17.1.1.

#### Software Update Only

Use this option if you already have the Quartus Prime software installed and just want the updates.

Software and IP Updates (Latest)	
Quartus Prime Software v17.1 Update 2 *You must have the base software installed before installing t *Important Note: For Winzip users, you need to download v WinZip software cannot unzip the tar file, you also need to conversion option off to make it work correctly. The option menu -> WinZip options -> Advanced or Miscellaneous tab. Size: 16.0 GB MD5: 3AF6DF9B2B78A03F28ABDB29C84666A	he update. ersion 22 or newer if your existing turn the TAR file smart CR/LF can be found through settings 4
Intel FPGA SDK for OpenCL Pro Edition v17.1 Update 2 Size: 893.7 MB MD5: 0E7438C385BBE79D92E9CF2B32EE64	A2
Intel FPGA Runtime Environment for OpenCL Pro Edition v1 Size: 9.9 MB MD5: DC23E1A08EF5F9F1055BBB620C16C36C	7.1 Update 2
DSP Builder Pro Edition v17.1 Update 2 Size: 56.3 MB MD5: 97FECCC882AFD41CBFFBCA720134D01	з О
Quartus Prime Pro Edition Programmer and Tools v17.1 Up Size: 437.6 MB MD5: B6A32565EDDB60AC077D560D2196E	date 2
Intel FPGA Runtime Environment for OpenCL Linux x86-64 Size: 2.0 MB MD5: B44D9DCF7BDAF882633F9F76A2A9BBE4	RPM O
Intel FPGA Runtime Environment for OpenCL Linux Cyclone Size: 1.0 MB MD5: 1EAD0EBAB7557DD95E06B1C6C0A7E00	V SoC TGZ
Intel FPGA Runtime Environment for OpenCL Linux x86-64 Size: 9.9 MB MD5: DC23E1A08EF5F9F1055BBB620C16C36C	0
Intel FPGA Runtime Environment for OpenCL Windows x86 Size: 11.9 MB MD5: 6EB99E69155945FAF64AF0D79E7BEEE	- <b>64</b>

#### **Complete Download**

Use this option if you do not have the latest version of the Quartus Prime software installed and want to download the software and the update together. Please note, this complete package only includes update to Quartus software. If you need updates to other products such as Intel FPGA SDK for OpenCL or DSP Builder, you need to download and install them individually. Also note, you need to run the update installer (17.1.2) after you install the base version (17.1).

Quartus Prime Pro Edition Software Update 2 (Device support included) 🝞	
Quartus-pro-17.1.2.304-linux-complete.tar Size: 59.0 GB MD5: C2F0962175A16C626CF8CBDE0AF6FBF0	0
Show Archived Software Lindates	

#### Hide Archived Software Updates

oftware and IP Updates (Archived)	
Quartus Prime Software v17.1 Update 1 *You must have the base software installed before installing the update. Size: 15.8 GB MD5: 0881721E5ED8CF03D4497D3E80EDBC11	0
Intel FPGA SDK for OpenCL Pro Edition v17.1 Update 1 Size: 893.7 MB MD5: 23C0B92F59CBB12F0C19FA69D68BCE0A	0
Intel FPGA Runtime Environment for OpenCL Pro Edition v17.1 Update 1 Size: 9.9 MB MD5: 08C11B2CCB81DFADAA815FE25E2B58DB	0
DSP Builder Pro Edition v17.1 Update 1 Size: 56.3 MB MD5: E31D4E498415D25973695E5C1EF6112F	0
Quartus Prime Pro Edition Programmer and Tools v17.1 Update 1 Size: 437.7 MB MD5: 11725D84FE7773D82C06CC56CEE104B7	0
Intel FPGA Runtime Environment for OpenCL Linux x86-64 RPM Size: 2.0 MB MD5: BE0FF9AE7EFAB27F552621EC56470545	0
Intel FPGA Runtime Environment for OpenCL Linux Cyclone V SoC TGZ Size: 1.0 MB MD5: 0E658B6133AA902F60B475777BA994CF	0
Intel FPGA Runtime Environment for OpenCL Linux x86-64 Size: 9.9 MB MD5: 08C11B2CCB81DFADAA815FE25E2B58DB	0
Intel FPGA Runtime Environment for OpenCL Windows x86-64 Size: 11.9 MB MD5: A759C4300F503A77C54B736E0C3A1F0A	0
Quartus Prime Pro Edition Software Update 1 (Device support included) () Size: 58.8 GB MD5: C8231E3B97EC856099F6484630249677	0

### 圖表 B-1: Intel 軟體下載

Step 2: 將 Intel® Quartus® Prime Pro Programmer 新增至你的環境變數内:

export PATH=/opt/intelFPGA\_pro/17.1/qprogrammer/bin:\$PATH

- Step 3: Connect the cable between the board and the host system. Use the letter codes in the diagram below for the connection points. 連接板卡和主機系統之間的連接線。連接點請參照下圖中的字母代碼。
  - 將連接線的 B 端連到板卡上的 B 點。
  - 將連接線的 F 端連到 FPGA 下載線上的 F 點。



Integration Corp.

### 圖表 B-2: 從 JTAG 端口到連接線到 Intel® FPGA 下載連接線

- Step 4: 更新 Intel FPGA 下載連接線規則,對沒有 root 權限的板卡進行編程,並刷新初始 化位元串流,好讓 Intel FPGA 下載連接線可與板卡進行溝通。 sudo cp 51-usbblaster.rules /etc/udev/rules.d
- Step 5: 從 Intel 下載中心下載 <u>51-usbblaster.rules</u> 檔案。
- Step 6: 斷開並重新連接 Intel FPGA 下載連接線來啟用 JTAG 連接。
- **Step 7:** 可以在<BSP\_package>中找到 BSP 文件。
- Step 8: 下載.tgz 檔並解壓縮以下檔案: tar -xvf <BSP\_package>.tgz

這些檔案被解壓縮並儲存進 bringup 檔案夾:

- boardtest\_1ddr\_base.sof
- boardtest\_1ddr\_top.aocx
- **Step 9:** 為了可使用 Intel FPFA 下載連接線驅動程式,請執行 jtagconfig。 jtagconfig



將得到類似如下的回應:

1) USB-Blaster [1-6]

02E660DD 10AX115H1(. |E2|ES)/10AX115H2/..

Step 10: 編輯 Intel® Arria® 10 FPGA 卡上的 FPGA :

quartus\_pgm -c 1 -m JTAG -o "p;boardtest\_1ddr\_base.sof

Step 11: 重新啟動主系統。之後,主系統會認到該 FPGA 板卡。

欲確認該 PCIe 卡可被偵測到,請執行:

lspci | grep -i Altera

將得到類似如下的回應:

01:00.0 Processing accelerators: Altera Corporation Device 2494 (rev 01)

Step 12: 執行指令:

aocl diagnose

**非必需:** 可選擇永久修改快閃記憶體。這樣做就無需在每次重新啟動時將 boardtest\_1ddr\_base.sof 重新編程到 FPGA 中。要完成此項工作,請使用 JTAG 和 Intel® Quartus® PrimePro Edition 17.1.1 軟體版本對快閃記憶體進行編程。您 需要下載 <u>full Intel® Quartus® Prime Pro Edition software, version 17.1.1</u>. export QUARTUS\_ROOTDIR=\$<QUARTUS\_PATH>/quartus aocl flash acl0 boardtest\_1ddr\_top.aocx

Step 13: 關閉主系統電源,然後重新打開電源。

Step 14: 執行 aocl diagnose 以確認初始化成功完成。通過狀態表示成功。









更換型號不符的電池將可能引起爆炸。只有合格工程師才可更換電池。 請按照相關規定和地方法規處理廢舊電池。

- 非歐盟國家 如需處理廢舊電子產品和電器,請依據當地政府的法規進行適當 的處理。
- 歐盟國家:



根據歐盟立法委員會的規定,各會員國必須將貼有打叉的垃圾桶團的特殊 標籤(左圖)的電子電器廢棄物與普通生活垃圾分開,進行處理,其中包 括顯示器和信號電纜或電源線等電器配件。當您需要處理電子電器廢棄產 品時,請依據當地規定處理或是詢問您所有產品的商店。對電器及電子產 品的標籤只適用于目前的歐盟成員國。

請遵循國家頒佈的電器及電子產品的相關處理規定。







限用物質表



下表列出本產品的各組件的限用物質含有情況:

設備名稱:加速卡	型號(型式):Mustang-F100-A10					
Equipment name	Type designation (Type)					
	限用物質及其化學符號					
		Restricted substances and its chemical symbols				
單元(Unit)	鉛 Lead (Pb)	汞 Mercury (Hg)	鎘 Cadmium (Cd)	六價鉻 Hexavalent chromium (Cr <sup>+6</sup> )	多溴聯苯 Polybrominated biphenyls (PBB)	多溴二苯醚 Polybrominated diphenyl ethers (PBDE)
印刷電路板 Printed Circuit Board	0	$\bigcirc$	0	0	0	0
金屬螺帽 Metal Fasteners	$\bigcirc$	$\bigcirc$	$\bigcirc$	$\bigcirc$	0	0
電纜組裝 Cable Assembly	0	$\bigcirc$	0	0	0	0
電池Battery	0	$\bigcirc$	$\bigcirc$	$\bigcirc$	0	0
備考1. <sup>、</sup> 超出0.1 wt	%″及 <sup>*</sup> 超出0	).01 wt %″	係指限用物質:	之百分比含量起	超出百分比含量基準	值。
Note 1: "Exceeding 0.1 wt %" and "exceeding 0.01 wt %" indicate that the percentage content of the restricted substance exceeds the reference percentage value of presence condition.						
備考2. ``〇'' 係指該項限用物質之百分比含量未超出百分比含量基準值。						
Note 2 : "⊖" indica value of presen	ites that the percence.	entage conte	nt of the restric	ted substance d	oes not exceed the p	ercentage of reference
備考3. "-" 係指該項限用物質為排除項目。						
Note 3 : The "-" indicates that the restricted substance corresponds to the exemption.						

Page 59